

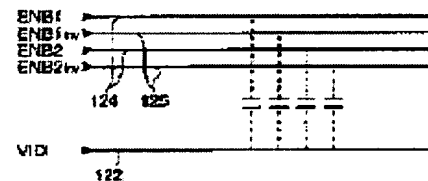
**DRIVING CIRCUIT FOR ELECTROOPTICAL DEVICE, ELECTROOPTICAL DEVICE
AND ELECTRONIC EQUIPMENT**

Patent number: JP2001215928
Publication date: 2001-08-10
Inventor: MURAIDE MASAO
Applicant: SEIKO EPSON CORP
Classification:
- International: G09G3/36; G02F1/133; G09G3/20
- european:
Application number: JP20000025723 20000202
Priority number(s): JP20000025723 20000202

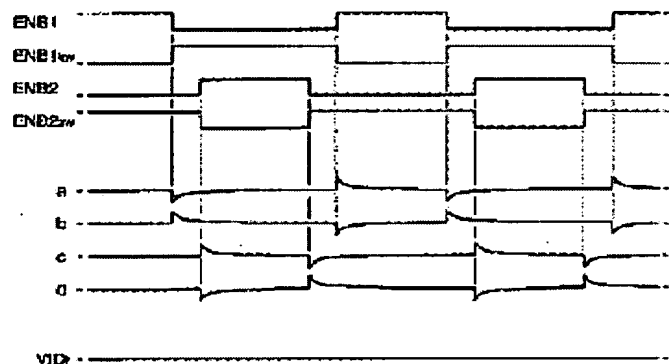
[Report a data error here](#)**Abstract of JP2001215928**

PROBLEM TO BE SOLVED: To prevent differential noises caused by enable signals ENB1, ENB2 from being superposed on a picture signal line 122. **SOLUTION:** Two lines of inverted enable signal lines 125 to which inverted enable signals ENBinv, ENBinv are supplied are provided so that time constants of them become the same as those of enable signal lines 124 apart from two lines of the enable signal lines 124 to which enable signals ENB1, ENB2 are supplied. As a result, since differential noises due to the enable signals ENB1, ENB2 are canceled by differential noises due to the inverted enable signals ENBinv, ENBinv, the potential of a picture signal VIDI supplied to the picture signal line 122 becomes a value closed to an original value.

(a)



(b)



Data supplied from the *esp@cenet* database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-215928

(P2001-215928A)

(43) 公開日 平成13年8月10日 (2001.8.10)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
G 0 9 G 3/36		C 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 0 5	C 0 2 F 1/133	5 0 5 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 J 5 C 0 8 0
	6 2 3		6 2 3 Z

審査請求 未請求 請求項の数14 O L (全 18 頁)

(21) 出願番号 特願2000-25723(P2000-25723)

(22) 出願日 平成12年2月2日 (2000.2.2)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

最終頁に続く

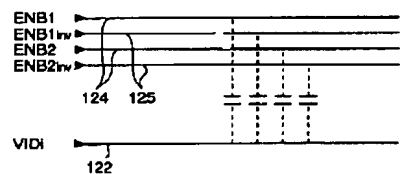
(54) 【発明の名称】 電気光学装置の駆動回路、電気光学装置および電子機器

(57) 【要約】

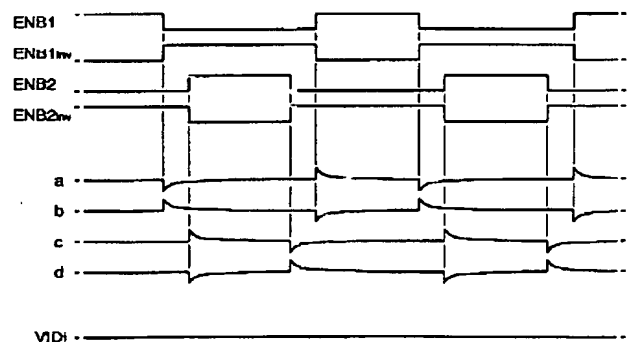
【課題】 画像信号線122に、イネーブル信号ENB1、ENB2に起因する微分ノイズが重畳されるのを防止する。

【解決手段】 イネーブル信号ENB1、ENB2が供給される2本のイネーブル信号線124とは別に、これらの反転イネーブル信号ENB1inv、ENB2invが供給される2本の反転イネーブル信号線125を、イネーブル信号線124の時定数が同じとなるように設ける。これにより、イネーブル信号ENB1、ENB2に起因する微分ノイズは、反転イネーブル信号ENB1inv、ENB2invに起因する微分ノイズにより打ち消されるので、画像信号線122に供給される画像信号VIDiの電位は、本来の値に近いものとなる。

(a)



(b)



【特許請求の範囲】

【請求項1】 画像信号を複数のデータ線に出力する電気光学装置の駆動回路であって、
 複数のラッチ回路を備え、各ラッチ回路により入力信号を順次シフトして出力するシフトレジスタ回路と、
 前記ラッチ回路による出力信号のパルス幅を、イネーブル信号線に供給されるイネーブル信号にしたがって制限するパルス幅制限回路と、
 前記イネーブル信号の論理レベルを反転した反転イネーブル信号を供給する反転イネーブル信号線と、
 前記データ線にそれぞれ対応して設けられ、画像信号線に供給される画像信号を、前記パルス幅制限回路によってパルス幅の制限された信号に基づいてサンプリングして、対応するデータ線に供給するサンプリングスイッチとを具備することを特徴とする電気光学装置の駆動回路。

【請求項2】 前記反転イネーブル信号線は、前記イネーブル信号線と略平行に配設されていることを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項3】 前記反転イネーブル信号線は、前記イネーブル信号線と略同一の容量を有することを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項4】 前記反転イネーブル信号線は、前記イネーブル信号線と略同一の時定数を有することを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項5】 前記イネーブル信号線および前記反転イネーブル信号線は、前記パルス幅制限回路の形成領域の一方の側から回り込んで配設される一方、
 前記画像信号線は、前記パルス幅制限回路の形成領域の他方の側から回り込んで配設されていることを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項6】 前記イネーブル信号線および前記反転イネーブル信号線と、前記画像信号線との間に、一定の電位の定電位線が配設されていることを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項7】 前記パルス幅制限回路によりパルス幅の制限された信号の論理振幅を拡大して、対応するサンプリングスイッチに供給するレベルシフトを備えることを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項8】 前記パルス幅制限回路は、
 前記ラッチ回路による出力信号と、前記イネーブル信号との否定論理積信号を出力する否定論理積回路、または、
 前記ラッチ回路による出力信号とはレベル反転の関係にある信号と、前記反転イネーブル信号との否定論理積信号を出力する否定論理積回路であることを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項9】 前記画像信号は、時間軸に伸長されてm（mは2以上の整数とする）本の系統に変換されたものであり、

前記データ線は、m本毎にブロック化されて、
 ブロック化されたm本のデータ線に対応するスイッチが同時に駆動されることを特徴とする請求項1記載の電気光学装置の駆動回路。

【請求項10】 前記サンプリングスイッチは相補型であり、

前記パルス幅制限回路は、
 前記ラッチ回路による出力信号と、前記イネーブル信号とによりパルス幅を制限した正転の信号を生成する第1のゲート回路と、

前記ラッチ回路による出力信号とはレベル反転の関係にある信号と、前記反転イネーブル信号とによりパルス幅を制限した反転の信号を生成する第2のゲート回路とを有し、

前記相補型のサンプリングスイッチは、前記正転の信号および前記反転の信号に基づいてサンプリングを行うことを特徴とする請求項1記載の電気光学装置の駆動回路。

【請求項11】 前記第1および第2のゲート回路の負荷を、互いに略同一とすることを特徴とする請求項10記載の電気光学装置の駆動回路。

【請求項12】 請求項1乃至11のいずれか記載の電気光学装置の駆動回路によって駆動されることを特徴とする電気光学装置。

【請求項13】 複数の走査線と、複数のデータ線と、
 前記走査線および前記データ線の交差部に対応して設けられたスイッチング素子及び画素電極を備え、前記データ線の各々を駆動する電気光学装置であって、
 前記画素電極がマトリクス状に配置される一方、前記スイッチング素子が、前記画素電極および前記データ線の間に介挿されるとともに、前記走査線に供給される走査信号にしたがって開閉することを特徴とする請求項12記載の電気光学装置。

【請求項14】 請求項12または13記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ラインムラなどの表示上の不具合が発生するのを抑えて高品位な表示が可能な電気光学装置、および、この電気光学装置を表示部に用いた電子機器に関する。

【0002】

【従来の技術】従来の電気光学装置、例えば、液晶装置を駆動する回路は、画像表示領域に配設されたデータ線や走査線などに、画像信号や走査信号などを所定タイミングで供給するためのデータ線駆動回路や、走査線駆動回路、サンプリング回路などから構成されている。

【0003】このうち、データ線駆動回路は、一般には、複数のラッチ回路を備え、水平走査期間の最初に供給されるパルス信号をクロック信号に応じて順次シフト

して、これをサンプリング信号として出力するものであり、同様に、走査線駆動回路は、複数のラッチ回路を備え、垂直走査期間の最初に供給されるパルス信号をクロック信号に応じて順次シフトして、これを走査信号として出力するものである。また、サンプリング回路は、データ線毎に設けられるサンプリング用のスイッチからなり、画像信号線を介して外部から供給される画像信号を、サンプリング信号にしたがってサンプリングして、各データ線に供給するものである。

【0004】ここで、互いに排他的となるべきサンプリング信号が、何らかの理由によりオーバーラップして出力されると、あるデータ線に本来サンプリングされるべき画像信号が、これに隣接するデータ線にもサンプリングされてしまう。この結果、いわゆるゴーストやクロストークなどが発生して、表示品位が低下する、という問題が生じる。

【0005】特に、最近では、ドットクロックの高周波数化に対処すべく、1系統の画像信号を複数のm系統にシリアル-パラレル変換（相展開）するとともに時間軸上にm倍に伸長し、これらm系統の画像信号をサンプリング信号にしたがって同時にサンプリングして、m本のデータ線に供給する技術が開発されているが、このような技術において、サンプリング信号が何らかの理由によりオーバーラップして出力されると、データ線のm本を単位としてゴーストやクロストークなどが発生するので、表示品位の低下は、より深刻な問題となる。

【0006】そこで、このような問題を解決するために、近年では、データ線駆動回路におけるラッチ回路の次段にパルス幅制限回路なるものを設けて、時間的に相前後して出力されるサンプリング信号が互いにオーバーラップしないように、サンプリング信号のパルス幅を、イネーブル信号線を介して供給される制御信号（イネーブル信号）にしたがって制限することが行われている。

【0007】

【発明が解決しようとする課題】しかしながら、このようなパルス幅制限回路を設けた構成においては、上述したゴーストやクロストークなどの発生は抑えられるものの、今度は、データ線に沿った縦状のラインムラが発生する、という問題があった。

【0008】本発明は、上述した事情に鑑みてなされたもので、その目的とするところは、ゴーストやクロストークなどの発生を抑えた上で、さらにラインムラの発生を抑えて高品位な表示が可能な電気光学装置の駆動回路、および、電気光学装置、並びに、この電気光学装置を表示部に用いた電子機器を提供することにある。

【0009】

【課題を解決するための手段】まず、課題を解決するための手段について説明する前に、本件の発明者が、上述したラインムラの発生機構について調査した結果、次の点が主な原因である、と考えられた。すなわち、上述し

たイネーブル信号線および画像信号線は、一般には、ガラスや半導体などの基板上において薄膜金属をパターニングしたものであるため、少なからず抵抗を有する。また、イネーブル信号線および画像信号線は、互いに近接するため、容量的に結合しやすい。したがって、両信号線にわたって一種の微分回路が形成されるので、画像信号線には、画像信号のほかに、イネーブル信号のレベル遷移に伴う微分ノイズが重畳されてしまう。この結果、データ線には、本来の画像信号に微分ノイズが加わって印加されるので、さらに、この印加電圧は、データ線毎に、あるいは、シリアル-パラレル変換する場合には、データ線のm本毎に異なってしまうので、これによるムラが、データ線に沿って発生して表示品位を低下させる、と考えられた。

【0010】そこで、本件の第1の発明にあつては、画像信号を複数のデータ線に出力する電気光学装置の駆動回路であつて、複数のラッチ回路を備え、各ラッチ回路により入力信号を順次シフトして出力するシフトレジスタ回路と、前記ラッチ回路による出力信号のパルス幅を、イネーブル信号線に供給されるイネーブル信号にしたがって制限するパルス幅制限回路と、前記イネーブル信号の論理レベルを反転した反転イネーブル信号を供給する反転イネーブル信号線と、前記データ線にそれぞれ対応して設けられ、画像信号線に供給される画像信号を、前記パルス幅制限回路によってパルス幅の制限された信号に基づいてサンプリングして、対応するデータ線に供給するサンプリングスイッチとを具備することを特徴としている。

【0011】この発明によれば、画像信号線においては、イネーブル信号のレベル遷移に伴って重畳される微分ノイズが、反転イネーブル信号のレベル遷移に伴う微分ノイズによって打ち消されるので、本来の画像信号の成分のみが供給されることとなる。したがって、ラインムラの発生を抑えた高品位な表示が可能となる。

【0012】ところで、本発明において、前記反転イネーブル信号線は、前記イネーブル信号線と略平行に配設されている構成が望ましい。この構成では、画像信号線からみた容量的な結合度が、イネーブル信号線と反転イネーブル信号線とでほぼ等しくなるため、イネーブル信号に起因する微分ノイズがほぼ完全に打ち消すことが可能となる。

【0013】同様に、本発明において、前記反転イネーブル信号線は、前記イネーブル信号線と略同一の容量を有する構成が望ましい。この構成によっても、イネーブル信号に起因する微分ノイズがほぼ完全に打ち消すことが可能となるからである。

【0014】同様に、本発明において、前記反転イネーブル信号線は、前記イネーブル信号線と略同一の時定数を有する構成が望ましい。この構成によっても、イネーブル信号に起因する微分ノイズがほぼ完全に打ち消すこ

とが可能となるからである。

【0015】一方、本発明は、イネーブル信号に起因する微分ノイズを、反転イネーブル信号に起因する微分ノイズによって打ち消す構成ではあるが、画像信号線と、イネーブル信号線および反転イネーブル信号線との容量的な結合度は、本来的に小さい方が良い。このためには、本発明において、前記イネーブル信号線および前記反転イネーブル信号線は、前記パルス幅制限回路の形成領域の一方の側から回り込んで配設される一方、前記画像信号線は、前記パルス幅制限回路の形成領域の他方の側から回り込んで配設されている構成が望ましい。この構成によれば、イネーブル信号線および反転イネーブル信号線と、画像信号線とが、一旦離間することになるので、その分だけ容量的な結合度を小さく抑えることが可能となる。

【0016】また、本発明において、前記イネーブル信号線および前記反転イネーブル信号線と、前記画像信号線との間に、一定の電位の定電位線が配設されている構成が望ましい。この構成によれば、定電位線は、イネーブル信号線および反転イネーブル信号線と、画像信号線との間において、一種のシールド線として機能するので、両者の容量的な結合度を小さく抑えることが可能となる。なお、このような定電位線としては、電源供給線の高位側配線や、低位側配線、共通電極に接続される配線などが考えられる。

【0017】くわえて、前記パルス幅制限回路によるサンプリング信号の論理振幅を拡大して、対応するサンプリングスイッチに供給するレベルシフトを備える構成が望ましい。この構成によれば、イネーブル信号線に供給されるイネーブル信号および反転イネーブル信号線に供給される反転イネーブル信号は、レベルシフトにより論理振幅を拡大する前の低論理振幅信号であるため、画像信号線に与える影響を本来的に小さくすることが可能となる。

【0018】ところで、本発明における前記パルス幅制限回路の具体的構成としては、前記ラッチ回路による出力信号と、前記イネーブル信号との否定論理積信号を出力する否定論理積回路、または、前記ラッチ回路による出力信号とはレベル反転の関係にある信号と、前記反転イネーブル信号との否定論理和信号を出力する否定論理和回路である構成が想定される。

【0019】また、本発明において、前記画像信号は、時間軸に伸長されて m (m は2以上の整数とする)本の系統に変換されたものであり、前記データ線は、 m 本毎にブロック化されて、ブロック化された m 本のデータ線に対応するスイッチが同時に駆動される構成が望ましい。この構成によれば、画像信号をサンプリングするスイッチ等の性能を高めることなく、ドットクロックの高周波数化に対処できるとともに、表示の高コントラストを図ることが可能となる。

【0020】一方、本発明において、前記サンプリングスイッチは相補型であり、前記パルス幅制限回路は、前記ラッチ回路による出力信号と、前記イネーブル信号とによりパルス幅を制限した正転の信号を生成する第1のゲート回路と、前記ラッチ回路による出力信号とはレベル反転の関係にある信号と、前記反転イネーブル信号とによりパルス幅を制限した反転の信号を生成する第2のゲート回路とを有し、前記相補型のサンプリングスイッチは、前記正転の信号および前記反転の信号に基づいてサンプリングを行う構成が望ましい。この構成によれば、サンプリングスイッチにおける入力インピーダンスが高まるので、パルス幅制限回路に高い駆動能力を持たせないで済むとともに、一方のチャネル型のみによりサンプリングスイッチを構成する場合と比較して、画像信号をデータ線にサンプリングする際のプッシュダウンによる影響を少なくすることができる。このため、より高品位な表示が可能となる。

【0021】このような構成において、前記第1および第2のゲート回路の負荷を、互いに略同一とすることが望ましい。これにより、相補型のサンプリングスイッチにおける正負特性を、より均一化することが可能となる。

【0022】また、上記目的を達成するために、本件の第2の発明に係る電気光学装置あつては、上記電気光学装置の駆動回路によって駆動されることを特徴としている。これによれば、ゴーストやクロストークのない高品位な表示が可能となる。

【0023】この第2の発明において、複数の走査線と、複数のデータ線と、前記走査線および前記データ線の交差部に対応して設けられたスイッチング素子及び画素電極を備え、前記データ線の各々を駆動する電気光学装置であつて、前記画素電極はマトリクス状に配置される一方、前記スイッチング素子は、前記画素電極および前記データ線の間に介挿されるとともに、前記走査線に供給される走査信号にしたがって開閉する構成が望ましい。この構成によれば、スイッチング素子によりオン画素とオフ画素とを電気的に分離できるので、コントラストやレスポンスなどが良好であり、かつ、高精細な表示が可能となる。

【0024】さらに、上記目的を達成するために、本発明に係る電気機器にあつては、上記電気光学装置を備えることを特徴としているので、ゴーストやクロストークのない高品位な表示が可能となる。

【0025】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

【0026】＜電気光学装置の概略構成＞まず、本発明の第1の実施形態に係る電気光学装置について説明する。この電気光学装置は、電気光学材料として液晶を用いて、その電気光学的な変化により所定の表示を行うも

のである。図1(a)は、この電気光学装置のうち、外部回路を除いた液晶パネル100の構成を示す斜視図であり、図1(b)は、図1(a)におけるA-A'線の断面図である。

【0027】これらの図に示されるように、液晶パネル100は、各種素子や画素電極118等が形成された素子基板101と、共通電極108等が形成された対向基板102とが、スペーサ103を含むシール材104によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に電気光学材料として例えばTN(Twisted Nematic)型の液晶105が封入された構成となっている。ここで、素子基板101には透明性が要求されないため、ガラスや、半導体、石英などから構成されるが、対向基板102には透明性が要求されるため、ガラスなどから構成される。なお、シール材104は、対向基板102の基板周辺に沿って形成されるが、液晶105を封入するために一部が開口している。このため、液晶105の封入後に、その開口部分が封止材106によって封止された構成となっている。

【0028】次に、素子基板101の対向面であって、シール材104の外側一辺の領域140aにおいては、後述するデータ線駆動回路やサンプリング回路などが形成されて、データ線を駆動する構成となっている。さらに、この一辺の外側には、複数の接続端子107が形成されて、外部回路からの各種信号を入力する構成となっている。また、この一辺に隣接する辺の領域130aには、後述するように2個の走査線駆動回路が形成されて、走査線をそれぞれ両側から駆動する構成となっている。なお、走査線に供給される走査信号の遅延が問題にならないのであれば、走査線駆動回路を片側1個だけに形成する構成でも良い。

【0029】一方、対向基板102の共通電極108は、後述するように、素子基板101との貼合部分における4隅のうち、領域140aに近接する2隅に設けられた導通材によって、素子基板101に形成された接続端子107との電気的導通が図られている。なお、導通材が設けられる地点は、ここでは2箇所であるが、共通電極108が接続端子107と電気的に導通すれば良いから、導通材が設けられる地点は少なくとも1箇所であれば足りる。ほかに、対向基板102には、画素電極118と対向する領域に、着色層(カラーフィルタ)が設けられる一方、着色層以外の領域には、光のリークによるコントラストの低下を防止したり、非表示領域を規定したりするための遮光層が設けられる。ただし、後述するプロジェクタのように色光変調の用途に適用する場合、対向基板102に着色層や遮光層などを形成する必要はない。

【0030】なお、対向基板102に着色層を設けると否かとはかわからず、素子基板101には、光のリーク

により素子の特性低下を防止するための遮光層(図示省略)が設けられる。また、素子基板101および対向基板102の対向面には、液晶105における分子の長軸方向が両基板間で約90度連続的に捻れるようにラビング処理された配向膜(図示省略)が設けられる一方、その各背面側には配向方向に応じた偏光子(図示省略)がそれぞれ設けられる。

【0031】＜電気的構成＞次に、本実施形態に係る電気光学装置の電気的な構成について説明する。図2は、この構成を示すブロック図である。この図に示されるように、電気光学装置は、上述した液晶パネル100と、これに必要な信号を供給する外部回路200とを備えている。

【0032】このうち、外部回路200は、さらに、タイミングジェネレータ202とS/P(シリアル/パラレル)変換回路204とに大別される。前者のタイミングジェネレータ202は、図示せぬ上位装置から供給される垂直走査信号Vs、水平走査信号Hsおよびドットクロック信号DCLKに基づいて、各部で使用されるクロック信号や制御信号など(必要に応じて後述する)を出力するものである。

【0033】また、後者のS/P変換回路204は、図6に示されるように、ドットクロックDCLKに同期して供給される1系統の画像信号VIDを、6系統に分配するとともに時間軸に6倍に伸長して、画像信号VID1~VID6として出力するものである。ここで、1系統の画像信号VIDを6系統の画像信号VID1~VID6に変換する理由は、後述するサンプリング回路150においてサンプリングスイッチ151を構成する薄膜トランジスタ(Thin Film Transistor: 以下、単に「TFT」と称する。)のソース領域への画像信号の印加時間を長くして、サンプリング時間および充放電時間を十分に確保するためである。

【0034】なお、S/P変換回路204の出力段には、反転・増幅回路(図示省略)が備えられ、シリアル-パラレル変換した画像信号のうち、極性反転が必要となるものを反転させ、その後、適宜、増幅する構成となっている。ここで、極性を反転するか否かについては、一般には、データ線への画像信号の印加方式が①走査線単位の極性反転であるか、②データ線単位の極性反転であるか、③画素単位の極性反転であるかに応じて定められ、その反転周期は、1水平走査期間またはドットクロック周期に設定される。ただし、本実施形態にあつては説明の便宜上、①走査線単位の極性反転である場合を例にとって説明するが、本発明をこれに限定する趣旨ではない。

【0035】また、本実施形態における極性反転とは、共通電極108の電位LCcom(すなわち、画像信号VID1~VID6の振幅中心電位)を基準として正極性と負極性とに交互に電圧レベルを反転させることをい

(6)

特開2001-215928

9

10

う。さらに、6系統の画像信号VID1～VID6を液晶パネル100への供給するタイミングは、本実施形態では同時とするが、本発明では、ドットクロックDCLKに同期して順次シフトさせても良い。

【0036】さて、液晶パネル100のうち、素子基板101の表示領域にあっては、複数本の走査線112が図2において横方向に沿って平行に配列して形成され、また、複数本のデータ線114が縦方向に沿って平行に形成されている。そして、これらの走査線112とデータ線114とが交差する部分においては、画素を制御するためのスイッチング素子たるTFT116のゲート電極が走査線112に接続される一方、TFT116のソース電極がデータ線114に接続されるとともに、TFT116のドレイン電極が矩形状の透明な画素電極118に接続されている。

【0037】上述したように、液晶パネル100では、素子基板101と対向基板102との電極形成面の間において液晶105が挟持されているので、各画素は、画素電極118と、共通電極108と、これら両電極間に挟持された液晶105とによって構成されることになる。ここで、説明の便宜上、走査線112の総本数を「m」とし、データ線114の総本数を「6n」とすると（ただし、m、nは、それぞれ整数）、画素は、走査線112とデータ線114との各交点に対応して、m行×6n列のマトリクス状に配列することになる。また、マトリクス状の画素からなる表示領域には、このほかに、液晶容量のリークを防止するための蓄積容量が、画素毎に形成されるが、図示省略されている。

【0038】一方、素子基板101の非表示領域には、周辺回路120が形成されている。この周辺回路120は、走査線駆動回路130や、データ線駆動回路140、サンプリング回路150のほか、製造後に欠陥の有無を判別するための検査回路を含んだ回路として概念されるものであるが、検査回路については、本件とは直接関係しないので、その説明については省略することとする。

【0039】また、周辺回路120の構成素子は、画素を駆動するTFT116と共通の製造プロセスで形成されるPチャンネル型TFTおよびNチャンネル型TFTを組み合わせて構成されるため、製造効率の向上や、製造コストの低下、素子特性の均一化などが図られている。

【0040】さて、周辺回路120のうち、走査線駆動回路130は、水平走査期間毎に順次アクティブレベルとなる走査信号G1、G2、…、Gmを、垂直走査期間内に出力するものである。また、データ線駆動回路140は、順次アクティブレベルとなるサンプリング信号S1、S2、…、Snを水平走査期間内に出力するものである。なお、走査線駆動回路130およびデータ線駆動回路140の詳細については、それぞれ後述することとする。

10

20

30

40

50

【0041】次に、サンプリング回路150は、データ線114毎に設けられるサンプリングスイッチ151から構成されている。ここで、データ線114は6本毎にブロック化されており、図2において左から数えてj（jは、1、2、…、n）番目のブロックに属するデータ線114の6本のうち、最も左に位置するデータ線114の一端に接続されるサンプリングスイッチ151は、画像信号VID1を、サンプリング信号Sjがアクティブとなる期間においてサンプリングして、当該データ線114に供給する構成となっている。また、同じくj番目のブロックに属するデータ線114の6本のうち、2番目に位置するデータ線114の一端に接続されるサンプリングスイッチ151は、画像信号VID2を、サンプリング信号Sjがアクティブとなる期間においてサンプリングして、当該データ線114に供給する構成となっている。以下、同様に、j番目のブロックに属するデータ線114の6本のうち、3、4、5、6番目に位置するデータ線114の一端に接続されるサンプリングスイッチ151の各々は、それぞれ画像信号VID3、VID4、VID5、VID6を、サンプリング信号Sjがアクティブとなる期間においてサンプリングして、対応するデータ線114に供給する構成となっている。

【0042】なお、サンプリングスイッチ151を構成するTFTについては、本実施形態では、Nチャンネル型とするので、サンプリング信号S1、S2、…、SnがHレベルとなればアクティブレベルとなって、対応するサンプリングスイッチ151が閉じることになる。なお、サンプリングスイッチ151を構成するTFTについては、Pチャンネル型としても良いし、後述する第3実施形態のように、両チャンネルを組み合わせた相補型としても良い。

【0043】ほかに、素子基板101の非表示領域にあっては、データ線114に画像信号VID1～VID6をサンプリングする際の負荷を低減するため、各データ線114を、サンプリングに先行するタイミングにおいて所定の電位にプリチャージするプリチャージ回路を形成しても良いが、本件では直接関係しないので、説明を省略することとする。

【0044】なお、走査線駆動回路130は、図2および後述する図3では、走査線112の一端側のみに1個だけ配置しているが、これは、電気的な構成を説明するための便宜上の措置であり、実際には、図1および後述する図8に示されるように、走査線112の両端に2個配置している。また、データ線駆動回路140は、図2および後述する図5にあっては表示領域に対して上方に位置しているが、これも、電気的な構成を説明するための便宜上の措置であり、実際には、図1および後述する図8に示されるように、表示領域に対して下方に位置している。

【0045】＜データ線駆動回路の構成＞次に説明の便宜上、データ線駆動回路140について説明する。図5は、データ線駆動回路140の構成を示すブロック図である。この図において、クロック信号CLX、その反転クロック信号CLXinv、転送開始パルスDX、イネーブル信号ENB1、その反転イネーブル信号ENB1inv、イネーブル信号ENB2、および、その反転イネーブル信号ENB2invは、いずれも図2におけるタイミングジェネレータ202によって、画像信号VID1～VID6と同期して供給されるものである。

【0046】さて、データ線駆動回路140は、データ線114のブロック総数の「n」よりも1段多い（n+1）段で接続されたラッチ回路1450からなるシフトレジスタ1440を備えている。なお、この図において、「n」は、奇数である場合を想定している。

【0047】ここで、シフトレジスタ1440のうち、奇数段目のラッチ回路1450は、次のような構成となっている。すなわち、奇数段目のラッチ回路1450は、第1に、クロック信号CLXの立ち上がり（反転クロック信号CLXinvの立ち下がり）において入力レベルを反転するクロックドインバータ1452と、第2に、クロックドインバータ1452による出力レベルを反転するインバータ1454と、第3に、反転クロック信号CLXinvの立ち上がり（クロック信号CLXの立ち下がり）においてインバータ1454の出力レベルを反転して、インバータ1454の入力に帰還するクロックドインバータ1456とから構成される。このため、奇数段目のラッチ回路1450において、反転クロック信号CLXinvが立ち上がると、インバータ1454の出力がクロックドインバータ1456に取り込まれるとともに、インバータ1454の入力に反転帰還されるので、結果的に、その前のクロック信号CLXの立ち上がりにおいてクロックインバータ1452に取り込まれた信号は、クロック信号CLX（反転クロック信号CLXinv）の1周期分保持されることとなる。

【0048】一方、シフトレジスタ1440のうち、偶数段目のラッチ回路1450は、クロック信号CLYおよび反転クロック信号CLYinvの対応関係が、奇数段目のものとは入れ替わっている。このため、偶数段目のラッチ回路1450において、クロック信号CLXが立ち上がると、インバータ1454の出力がクロックドインバータ1456に取り込まれるとともに、インバータ1454の入力に反転帰還されるので、結果的に、その前の反転クロック信号CLXinvの立ち上がりにおいてクロックインバータ1452に取り込まれた信号は、偶数段目と同様に、クロック信号CLXの1周期分保持されることとなる。

【0049】このため、シフトレジスタ1440においては、第1段目のラッチ回路1450が、クロック信号CLXの立ち上がりで転送開始パルスDXを取り込んで

出力し、この出力信号を、第2段目のラッチ回路1450が、クロック信号CLXの次の立ち下がり（反転クロック信号CLXinvが立ち上がり）で取り込んで出力し、以下同様の動作を、第3段目～第n段目までのラッチ回路1450が、クロック信号CLX（反転クロック信号CLXinv）のレベルが遷移する毎に実行することになる。

【0050】したがって、クロック信号CLXの1周期に相当する幅の転送開始パルスDXが、水平走査期間の最初においてシフトレジスタ1440に入力されると、シフトレジスタ1440における各段のラッチ回路から出力される信号S1'、S2'、…、Sn'は、図6に示されるように、当該転送開始パルスDXに対し、クロック信号CLX（反転クロック信号CLXinv）の半周期分だけ順次遅延させたものとなる。

【0051】続いて、シフトレジスタ1440の次段には、パルス幅制限回路1460が設けられている。このパルス幅制限回路1460は、第1段目から第n段目までのラッチ回路1450に対応したNAND回路1462から構成されている。このうち、奇数段目のラッチ回路1450に対応するNAND回路1462は、当該ラッチ回路1450の出力信号と、イネーブル信号線124を介して供給されるイネーブル信号ENB1との否定論理積信号を出力するものであり、また、偶数段目のラッチ回路1450に対応するNAND回路1462は、当該ラッチ回路1450の出力信号と、イネーブル信号線124を介して供給されるイネーブル信号ENB2との否定論理積信号を出力するものである。

【0052】なお、反転イネーブル信号線125には、イネーブル信号ENB1、ENB2を極性反転した反転イネーブル信号ENB1inv、ENB2invが供給される。ただし、本実施形態では、この反転イネーブル信号ENB1inv、ENB2invを積極的に使用しない構成となっている。

【0053】続いて、パルス幅制限回路1460の次段には、バッファ回路1480が設けられている。このバッファ回路1480は、NAND回路1462の否定論理積信号をレベル反転するインバータ回路1482から構成されて、これらのインバータ回路1482による反転信号が、データ線駆動回路140のサンプリング信号S1、S2、…、Snとして出力される構成となっている。

【0054】なお、インバータ回路1482は、図5では1段となっているが、同時に制御するサンプリングスイッチ151の負荷に応じて、3段、5段、…、というように複数段設けて、出力インピーダンスを段階的に高める構成としても良い。

【0055】＜走査線駆動回路＞次に、走査線駆動回路130の詳細について説明する。この走査線駆動回路130の構成は、図3に示されるように、出力信号の引き

出し方向と、入力される信号とが異なる以外、基本的にデータ線駆動回路140の構成と同様である。すなわち、走査線駆動回路130は、データ線駆動回路140を90度回転して配置したものであり、図3に示されるように、水平走査期間の最初に供給される転送開始パルスDXの替わりに、垂直走査期間の最初に供給される転送開始パルスDYを入力するとともに、クロック信号CLXおよびその反転クロック信号CLXinvの替わりに、2水平走査期間に相当する周期を有するクロック信号CLYおよびその反転クロック信号CLYinvを入力する構成となっている。

【0056】ただし、走査線駆動回路130では、シフトレジスタ1350の次段が次のようにデータ線駆動回路140とは相違している。すなわち、データ線駆動回路140では、シフトレジスタ1440の各ラッチ回路1450から出力される信号とイネーブル信号との否定論理積信号をNAND回路1462により求め、これをインバータ1468により反転してサンプリング信号S1、S2、…、Snとして出力する構成となっていたが、走査線駆動回路130では、相隣接するラッチ回路1350から出力される信号同士の否定論理積信号をNAND回路1362により求め、これをインバータ1368により反転して走査信号G1、G2、…、Gmとして出力する構成となっている。このため、走査線駆動回路130には、データ線駆動回路140におけるイネーブル信号ENB1、ENB2に相当する信号が入力されていない。

【0057】さて、このような構成において、シフトレジスタ1340の各ラッチ回路1350から出力される信号G1'、G2'、…、Gm'は、データ線駆動回路140における信号S1'、S2'、…、Snと同様な理由によって、図4に示されるように、垂直走査期間の最初に供給される転送開始パルスDYに対し、クロック信号CLY（反転クロック信号CLYinv）の半周期分だけ順次遅延させたものとなる。したがって、NAND回路1462およびインバータ回路1468の各組により出力される走査信号G1、G2、…、Gmのアクティブ期間は、同図に示されるように、クロック信号CLYの半周期ずつ順次シフトして出力されることとなる。したがって、クロック信号CLYの半周期が1水平走査期間となって、走査線112が1本毎に順次選択される構成となっている。

【0058】なお、走査線駆動回路130の動作を説明するための図4と、データ線駆動回路140の動作を説明するための図6とにおいては、時間軸のスケールが実際には後者の方が前者よりも遙かに細かい点に留意すべきである。すなわち、図4の走査信号G1、G2、…、Gmがアクティブ期間となる期間、すなわち、1水平走査期間内において、図6のサンプリング信号S1、S2、…、Snが順番にアクティブ期間となる関係にあ

る。

【0059】＜素子基板における配線の概略＞続いて、素子基板101における実際の配線、特に、データ線駆動回路140およびサンプリング回路150近傍の配線について説明する。図8は、この配線の概略を示す平面図である。

【0060】この図において、VssYおよびVssXは、それぞれ走査線駆動回路130およびデータ線駆動回路140における電源の低位側電位（接地電位）である。また、VddYおよびVddXは、それぞれ走査線駆動回路130およびデータ線駆動回路140における電源の高位側電位である。これらのうち、電源の低位側電位VssYが印加される信号線は、蓄積容量の共通線となっているので、各画素にも配設されている。

【0061】また、電位LCcomが印加される2つの電極109は、シール材104（図1参照）の隅に相当する地点にそれぞれ設けられている。このため、対向基板102と貼り合わせられた際に、電極109と共通電極108とが導通材を介して接続されて、共通電極108に電位LCcomが印加される構成となる。ここで、電位LCcomは、時間軸に対して一定であり、この電位LCcomを基準にして、S/P変換回路204が、画像信号VID1～VID6を1水平走査期間毎に高位側および低位側に振り分けて、交流駆動が行われる構成となっている。

【0062】さて、クロック信号CLX（およびその反転クロック信号CLXinv）が供給されるクロック信号線は、シフトレジスタ1440近傍において、高位側電位VddXが印加される信号線によりシールドされている。イネーブル信号線124および反転イネーブル線125も、パルス幅制限回路1460およびバッファ回路1480の間において、高位側電位VddXが印加される信号線によりそれぞれシールドされている。このため、クロック信号およびイネーブル信号並びにこれらの反転信号は、ノイズの影響を受け難い構成となっている。

【0063】さらに、クロック信号線、イネーブル信号線124および反転イネーブル線125が配設される領域は、低位側電位VssXが印加される信号線によってシールドされている。このため、クロック信号CLXやイネーブル信号ENB1、ENB2などが、画像信号線122に対して悪影響を与えないように構成されている。

【0064】くわえて、画像信号線122の6本は、パルス幅制限回路1460やバッファ回路1480に対し図で左側から回り込んで、サンプリング回路150の前段において最終的にX方向に延在するが、クロック信号線、イネーブル信号線124および反転イネーブル線125は、パルス幅制限回路1460に対して右側から回り込んで最終的にX方向に延在している。このため、画

像信号線122は、イネーブル信号線124および反転イネーブル線125とは一旦離間した後に、バッファ回路1480を挟んで対向することになるので、イネーブル信号ENBおよび反転イネーブル信号などから受けるノイズの影響が、本来的に小さくなるように配慮されている。

【0065】ところで、イネーブル信号線124および反転イネーブル線125の4本は、同一薄膜金属層から略同一幅でパターンニングして形成したものである。そして、これら4本は、図8に示されるように、等間隔で交互に形成されるとともに、端子107から略平行かつ略同一長で配設されている。このため、イネーブル信号線124および反転イネーブル線125の4本にあっては、その抵抗分が互いに略同一となり、その容量も互いに同一となるので、その時定数も互いに略同一となっている。

【0066】ただし、厳密に言えば、本実施形態においてイネーブル信号線124は、パルス幅制限回路1460のNAND回路1462の入力端に接続される一方、反転イネーブル信号線125は、何も接続されない構成となっている。このため、イネーブル信号線124の容量と、反転イネーブル線125の容量とは互いに異なることになる。また、本実施形態では、ブロックの総数を示す「n」を奇数としたこととの関係上、イネーブル信号ENB1は、イネーブル信号ENB2よりも1個多くNAND回路1462の入力端に供給される構成となっている。このため、イネーブル信号ENB1が供給されるイネーブル信号線124の容量と、イネーブル信号ENB2が供給されるイネーブル信号線124の容量とについても互いに異なることになる。

【0067】したがって実際には、イネーブル信号線124および反転イネーブル線125の4本の時定数を略同一とさせるには、これらの点を考慮して、信号線の幅や、長さ、材質、間隔などを設計したり、ダミーのゲート回路を挿入したりするなどの措置が必要となる。また、ブロックの総数「n」を偶数とする構成も、2本のイネーブル信号線124の時定数を同一とする限りにおいて有効な措置と言える。

【0068】＜電気光学装置の動作＞次に、上述した構成に係る電気光学装置の動作について説明する。

【0069】まず、走査線駆動回路130には、垂直走査期間の最初に転送開始パルスDYが供給される。この転送開始パルスDYは、クロック信号CLY（およびその反転クロック信号CLYinv）によって順次シフトされる結果、図4に示されるように、1水平走査期間毎に順次アクティブレベルとなる走査信号G1、G2、…、Gmとして、対応する走査線112に出力される。

【0070】一方、外部回路200に入力された1系統の画像信号VIDは、S/P変換回路204によって、図6に示されるように、画像信号VID1～VID6に

分配されるとともに、時間軸に対して6倍に伸長される。また、データ線駆動回路140には、同図に示されるように、水平走査期間の最初に転送開始パルスDXが供給される。この転送開始パルスDXは、シフトレジスタ1440によって、クロック信号CLX（およびその反転クロック信号CLXinv）のレベルが遷移する毎に順次シフトされた信号S1'、S2'、…、Sn'として出力される。そして、この信号S1'、S2'、…、Sn'は、イネーブル信号ENB1、ENB2のアクティブレベルである期間SMPaに制限されて、これが図6に示されるように、サンプリング信号S1、S2、…、Snとして順次出力されることとなる。

【0071】ここで、走査信号G1がアクティブとなる期間、すなわち、第1番目の水平走査期間において、サンプリング信号S1がアクティブレベルとなると、左から1番目のブロックに属する6本のデータ線114に、それぞれ画像信号VID1～VID6がサンプリングされる。そして、これらの画像信号VID1～VID6が、図2において上から数えて1本目の走査線112と当該6本のデータ線114と交差する画素のTFT116によってそれぞれ書き込まれることとなる。この後、サンプリング信号S2がアクティブレベルとなると、今度は、2番目のブロックに属する6本のデータ線114に、それぞれ画像信号VID1～VID6がサンプリングされて、これらの画像信号VID1～VID6が、1本目の走査線112と当該6本のデータ線114と交差する画素のTFT116によってそれぞれ書き込まれることとなる。

【0072】以下同様にして、サンプリング信号S3、S4、…、Snが順次アクティブレベルとなると、第3番目、第4番目、…、第n番目のブロックに属する6本のデータ線114にそれぞれ画像信号VID1～VID6がサンプリングされ、これらの画像信号VID1～VID6が、1本目の走査線112と、当該6本のデータ線114と交差する画素のTFT116によってそれぞれ書き込まれることとなる。これにより、第1行目の画素のすべてに対する書き込みが完了することとなる。

【0073】続いて、走査信号G2がアクティブとなる期間、すなわち、第2番目の水平走査期間においては、同様にして、第2行目の画素のすべてに対して書き込みが行われ、以下同様にして、走査信号G3、G4、…、Gmがアクティブとなって、第3行目、第4行目、第m行目の画素に対して書き込みが行われることとなる。これにより、第1行目～第m行目の画素のすべてにわたって書き込みが完了することとなる。

【0074】ここで、画素に画像信号が書き込まれた場合、画素電極118と共通電極108との間を通過する光は、両電極に印加される電圧差がゼロであれば、液晶分子のねじれに沿って約90度旋光する一方、電圧差の大きさにしたがって、液晶分子が電界方向に傾く結果、

旋光性が消失する。このため、液晶パネル100が例えば透過型であれば、入射側と背面側とに、偏光軸が互いに直交（平行）する偏光子をそれぞれ配置させることで、両電極に印加される電圧差がゼロであれば、光が透過（遮断）する一方、両電極に印加される電圧差に応じて光が遮断（透過）することになる。したがって、画素毎に書き込む電圧を画像信号で制御することによって、所定の表示が可能となっている。

【0075】このような駆動では、データ線114を1本毎に駆動する方式と比較すると、各サンプリングスイッチ151によって画像信号をサンプリングする時間が6倍となるので、各画素における充放電時間が十分に確保される。このため、高コントラスト化が図られることになる。さらに、データ線駆動回路140におけるラッチ回路1450の段数、および、クロック信号CLXおよびその反転クロック信号CLXinvの周波数が、それぞれ1/6に低減されるので、段数の低減化と併せて低消費電力化も図られることとなる。

【0076】さらに、サンプリング信号S1、S2、…、Snのアクティブ期間は、イネーブル信号ENB1、ENB2のアクティブレベルである期間SMPaに制限されるので、隣接するサンプリング信号同士のオーバーラップが事前に防止される。このため、あるブロックに属する6本のデータ線114にサンプリングされるべき画像信号VID1～VID6が、これに隣接するブロックに属する6本のデータ線114にも同時サンプリングされる事態が防止されて、いわゆるゴーストの発生が抑えられる結果、高品位な表示が可能となる。

【0077】ところで、イネーブル信号線124は、図8に示されるように、画像信号線122の6本とは、バッファ回路1480を挟んでX方向に対向して配設された構成となっているので、画像信号線122とイネーブル信号線124とは、その間に低位側電位VssXが供給される信号線が配設されるものの、少なくとも容量的に結合する。ここで、イネーブル信号線124のみが配設された従来の構成では、イネーブル信号ENB1、ENB2のレベル遷移に伴う微分ノイズが、画像信号VID1～VID6に重畳されてしまい、これが表示品位を低下させる要因である、と考えられるのは、上述した通りである。

【0078】これに対し、本実施形態では、2本のイネーブル信号線124とは別に、2本の反転イネーブル信号線125が設けられた構成となっている。この構成において、ある1本の画像信号線122は、図7(a)に示されるように、イネーブル信号線124および反転イネーブル信号線125と容量的に結合することになる。なお、図7(a)において、VIDiは、画像信号VID1～VID6を一般化して説明するために、ある1本の画像信号線122に供給される画像信号を示すものである（iは、1、2、…、6）。

【0079】ここで、本実施形態において、2本の反転イネーブル信号線125に供給される信号は、イネーブル信号ENB1、ENB2をそれぞれ反転させた反転イネーブル信号ENB1inv、ENB2invであり、さらに、2本の反転イネーブル信号線125は、上述したようにイネーブル信号線124と略同一の時定数をそれぞれ有する構成となっている。

【0080】このため、図7(b)に示されるように、イネーブル信号ENB1による微分ノイズa、および、反転イネーブル信号ENB1invによる微分ノイズb同士は互いに打ち消し合い、同様に、イネーブル信号ENB2による微分ノイズc、および、反転イネーブル信号ENB2invによる微分ノイズd同士も互いに打ち消し合うこととなる。したがって、本実施形態によれば、任意の画像信号線122に供給される画像信号VIDiには、ノイズが重畳されずに、本来の画像信号のレベルを維持することになるので、表示品位の低下が防止されることとなる。

【0081】＜第2実施形態＞上述した第1実施形態では、データ線駆動回路140による論理信号がそのままサンプリング回路150に供給される構成となっていたが、液晶105を駆動するためには、実際には瞬時値で20ボルト程度の比較的高い電圧が必要である。このような高い電圧を液晶パネル100で直接入力する構成とした場合、微分ノイズの振幅が大きくなる。この場合に、イネーブル信号線124、反転イネーブル信号線125において、画像信号線122に対する容量結合度の相違が少しでも異なると、微分ノイズが打ち消されないで、残留する可能性が高くなる。

【0082】そこで、このような不具合を解消するためには、データ線駆動回路140内部に論理振幅を変換するレベルシフタを設けて、低い電圧を液晶パネル100に入力する構成として、ノイズ振幅を小さく抑えたまま、信号処理する構成が望ましいと考えられる。

【0083】具体的には、図9に示されるデータ線駆動回路142のように、NAND回路1462とインバータ回路1482との間に、低振幅の論理信号を高振幅の論理信号に変換するレベルシフタ1472を介挿して、n個のレベルシフタ群1470を設ける構成が望ましいと考えられる。なお、このようなレベルシフタについては、走査線駆動回路130においても同様に、NAND回路1362とインバータ回路1382との間に介挿する構成が望ましい。

【0084】＜第3実施形態＞また、上述した第1および第2実施形態にあつては、反転イネーブル信号線125に供給される反転イネーブル信号ENB1inv、ENB2invを積極的に用いない構成であり、この点において冗長的構成と言えるものであった。

【0085】そこで、反転イネーブル信号ENB1inv、ENB2invを積極的に用いるとともに、サンプリン

グ回路150を改良した第3実施形態について説明することとする。図10は、この第3実施形態に係るデータ線駆動回路144の構成を示すブロック図である。

【0086】この図において、サンプリング回路150を構成するスイッチ151は、Pチャネル型およびNチャネル型TFTを組み合わせた相補型となっている。このため、スイッチ151へのサンプリング信号として、互いに排他的なレベルとなる2つの信号を供給する必要がある。このうち、一方の信号N1、N2、…、Nnについては、第1実施形態におけるサンプリング信号S1、S2、…、Snと同様であるが、他方の信号P1、P2、…、Pnについては、次のようにして出力される構成となっている。

【0087】すなわち、奇数段のラッチ回路1450にあっては、クロックインバータ1452(1456)の出力信号と、反転イネーブル信号ENB1invとの否定論理和信号を出力する一方、偶数段のラッチ回路1450にあっては、クロックインバータ1452(1456)の出力信号と、反転イネーブル信号ENB2invとの否定論理和信号を出力するNOR回路1461を備え、この否定論理和信号をインバータ回路1481によって反転して、上述した他方の信号P1、P2、…、Pnとして出力する構成となっている。ここで、クロックインバータ1452(1456)の出力信号は、インバータ1454により反転される前の信号であるから、各段のラッチ回路1450から出力される信号P1'、P2'、…、Pn'は、信号N1'、N2'、…、Nn'をそれぞれレベル反転した関係になる。

【0088】なお、インバータ回路1491、1492は、信号P1、P2、…、Pnと信号N1、N2、…、Nnとの遅延・負荷が互いに同一となるように、それぞれNOR回路1461の出力端およびNAND回路1462の出力端の間に介挿されたものである。

【0089】このような構成において、各段のラッチ回路1450から出力される信号P1'、P2'、…、Pn'は、反転イネーブル信号ENB1inv、ENB2invがLレベルである期間SMPaに制限されて、これが図11に示されるように、一方のサンプリング信号P1、P2、…、Pnとして順次出力されることとなる。また、各段のラッチ回路1450から出力される信号N1'、N2'、…、Nn'は、イネーブル信号ENB1、ENB2がHレベルである期間SMPaに制限されて、これが図11に示されるように、他方のサンプリング信号N1、N2、…、Nnとして順次出力されることとなる。

【0090】そして、第3実施形態に係るデータ線駆動回路144によれば、画像信号VID1～VID6をデータ線114にサンプリングする際におけるTFTのしきい値電圧が、同一の負荷でかつ相補型のサンプリングスイッチ151によってキャンセルされる結果、交流駆

動におけるいわゆるプッシュダウンが小さくなって、品位のより高い表示が可能となる。

【0091】さらに、反転イネーブル信号線125は、パルス幅制限回路1460のNOR回路1461の入力端に供給されるので、イネーブル信号線124と容量を略同一とさせるための設計がより容易となる。

【0092】＜変換数と1ブロックを構成するデータ線数との関係など＞ところで、上述した実施形態では、データ線115の6本を1ブロックとする一方、同一ブロックに属するデータ線114の6本に対し、6系統に変換された画像信号VID1～VID6を同時にサンプリングして、画像信号VID1～VID6の印加を1ブロック毎に順次行うように構成したが、変換数および同時に印加するデータ線数(すなわち、1ブロックを構成するデータ線数)は、「6」に限られるものではない。

【0093】例えば、サンプリング回路150におけるサンプリングスイッチ151の応答速度が十分に高いのであれば、画像信号をバラレルに変換することなく1本の画像信号線にシリアル伝送して、データ線114毎に点順次サンプリングするように構成しても良い。また、変換数および同時に印加するデータ線の数を「3」や、「12」、「24」等として、3本や、12本、24本等のデータ線に対して、3系統変換や、12系統変換、24系統変換等して並列供給させた画像信号を同時に供給する構成としても良い。

【0094】なお、変換数および同時に印加するデータ線数としては、カラーの画像信号が3つの原色に係る信号からなることとの関係上、3の倍数であることが制御や回路などを簡易化する上で好ましい。ただし、単なる白色から黒色までの階調表示を行う場合や、後述する3板式のプロジェクタのライトバルブに適用する場合に、変換数および同時に印加するデータ線数を3の倍数とする必然性はない。

【0095】さて、変換数および同時に印加するデータ線数を例えば「12」とする場合、素子基板101における配線、とりわけ12本の画像信号線122については、図12に示される通りとすれば良い。すなわち、奇数番目の画像信号VID1、VID3、…、VID11が供給される画像信号線122については、端子107から図において右側から回り込ませる一方、偶数番目の画像信号VID2、VID4、…、VID12が供給される画像信号線122については、端子107から左側から回り込ませて、サンプリング回路150近傍において左右両側から対向する櫛歯のようにX方向に延在させれば良い。なお、このような配線では、奇数番目の画像信号が供給される画像信号線122が、イネーブル信号線124および反転イネーブル線125と同じ側から回り込むことになるので、この点において図8の配線と比較して若干不利である。ただし、図12に示される配線において、クロック信号線、イネーブル信号線124

および反転イネーブル線125は、電源の低位側電位 V_{ssX} によってシールドされている点は、図8における配線と共通である。このため、図12に示される配線においても、画像信号線122がクロック信号 CLX やイネーブル信号 ENB などから受けるノイズの影響は、小さいと考えられる。

【0096】＜その他＞なお、上述した実施形態においては、上から下方向へ走査線112を選択する一方、左から右方向へブロックを選択する構成であったが、これとは逆方向で選択する構成でも良いし、用途に応じていずれかの方向を選択可能とする構成でも良い。

【0097】また、上述した実施形態において、データ線駆動回路140では、ラッチ回路1450の出力信号とイネーブル信号 $ENB1$ または $ENB2$ との否定論理積信号をNAND回路1462により求め、これをインバータ回路1482により反転してサンプリング信号 $S1$ 、 $S2$ 、…、 S_n として出力する構成としたが、本発明は、これに限られず、結果的に等価な信号が得られれば良い。例えば、第3実施形態において、信号 $P1'$ 、 $P2'$ 、…、 P_n' と反転イネーブル信号 $ENB1_{inv}$ または $ENB2_{inv}$ との否定論理和信号をそれぞれNOR回路1461により求め、これをそれぞれインバータ回路1481により反転した信号 $P1$ 、 $P2$ 、…、 P_n を、Pチャネル型TFTからなるスイッチのサンプリング信号として供給する構成としても良い。

【0098】くわえて、上述した実施形態では、素子基板101にTFT116等が形成された構成となっていたが、本発明は、これに限られない。例えば、素子基板101を半導体基板とするとともに、ここに、TFT116に替えて相補型トランジスタを形成しても良い。さらに、SOI (Silicon On Insulator) の技術を適用し、サファイヤなどの絶縁性基板にシリコン単結晶膜を形成して、ここに各種素子を作り込んで素子基板101としても良い。ただし、素子基板101が透明性を有しない場合、画素電極118をアルミニウムで形成したり、別途反射層を形成したりするなどして、液晶パネル100を反射型として用いる必要がある。

【0099】さらに、上述した実施形態では、液晶としてTN型を用いたが、BTN (Bi-stable Twisted Nematic) 型・強誘電型などのメモリ性を有する双安定型や、高分子分散型、さらには、分子の長軸方向と短軸方向とで可視光の吸収に異方性を有する染料 (ゲスト) を一定の分子配列の液晶 (ホスト) に溶解して、染料分子を液晶分子と平行に配列させたゲストホスト型などの液晶を用いても良い。

【0100】また、電圧無印加時には液晶分子が両基板に対して垂直方向に配列する一方、電圧印加時には液晶分子が両基板に対して水平方向に配列する、という垂直配向 (ホメオトロピック配向) の構成としても良いし、電圧無印加時には液晶分子が両基板に対して水平方向に

配列する一方、電圧印加時には液晶分子が両基板に対して垂直方向に配列する、という平行 (水平) 配向 (ホモジニアス配向) の構成としても良い。さらに、対向基板102に共通電極108を配置するのでなく、素子基板101上に、画素電極と対向電極とを、互いに間隔を置いて櫛歯状に配置する構成としても良い。この構成では、液晶分子が水平配向して、電極間による横方向の電界に応じて液晶分子の配向方向が変化することになる。このように、本発明の駆動方法に適合するものであれば、液晶や配向方式として、種々のものを用いることが可能である。

【0101】くわえて、電気光学装置としては、液晶装置のほかに、エレクトロルミネッセンス (EL) や、デジタルマイクロミラーデバイス (DMD)、プラズマ発光や電子放出による蛍光などを用いて、その電気光学効果により表示を行う種々の電気光学装置に適用可能である。この場合、電気光学材料としては、EL、ミラーデバイス、ガス、蛍光体などとなる。なお、電気光学材料としてELを用いる場合、素子基板101においてELが画素電極118と透明導電膜の対向電極との間に介在することになるので、対向基板102は不要となる。このように、本発明は、上述した構成と類似の構成を有する電気光学装置の駆動回路のすべてに適用可能である。

【0102】＜電子機器＞次に、上述した電気光学装置を電子機器に用いた例のいくつかについて説明する。

【0103】＜その1：プロジェクタ＞まず、上述した液晶パネル100をライトバルブとして用いたプロジェクタについて説明する。図13は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ2100内部には、ハロゲンランプ等の白色光源からなるランプユニット2102が設けられている。このランプユニット2102から射出された投射光は、内部に配置された3枚のミラー2106および2枚のダイクロイックミラー2108によってRGBの3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。ここで、ライトバルブ100R、100Gおよび100Bの構成は、上述した実施形態に係る液晶パネル100と同様であり、画像信号を入力する外部回路 (ここでは図示省略) から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。また、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ2122、リレーレンズ2123および出射レンズ2124からなるリレーレンズ系2121を介して導かれる。

【0104】さて、ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム2112に3方向から入射する。そして、このダイクロイックプリズム2112において、R色およびB色の光は90度に屈折する一方、G色の光は直進

する。したがって、各色の画像が合成される後、スクリーン2120には、投射レンズ2114によってカラー画像が投射されることとなる。

【0105】なお、ライトバルブ100R、100Gおよび100Bには、ダイクロミックミラー2108によって、R、G、Bの各原色に対応する光が入射するので、上述したようにカラーフィルタを設ける必要はない。また、ライトバルブ100R、100Bの透過像はダイクロミックミラー2112により反射した後に投射されるのに対し、ライトバルブ100Gの透過像はそのまま投射されるので、ライトバルブ100R、100Bによる表示像を、ライトバルブ100Gによる表示像に対して左右反転させる必要がある。

【0106】＜その2：モバイル型コンピュータ＞次に、上述した液晶パネル100を、モバイル型のパーソナルコンピュータに適用した例について説明する。図14は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ2200は、キーボード2202を備えた本体部2204と、表示部として用いられる液晶パネル100とを備えている。なお、この液晶パネル100の背面には、視認性を高めるためのバックライトが設けられる。

【0107】＜その3：携帯電話＞さらに、上述した液晶パネル100を、携帯電話の表示部に適用した例について説明する。図15は、この携帯電話の構成を示す斜視図である。図において、携帯電話2300は、複数の操作ボタン2302のほか、受話口2304、送話口2306とともに、上述した液晶パネル100を備えるものである。なお、この液晶パネル100の背面にも、視認性を高めるためのバックライトが設けられる。

【0108】なお、電子機器としては、図13～図15を参照して説明した他にも、液晶テレビや、ビューファインダ型・モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、デジタルスチルカメラ、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、実施形態や応用形態に係る電気光学装置が適用可能なのは言うまでもない。

【0109】

【発明の効果】以上説明したように本発明によれば、画像信号線において、イネーブル信号のレベルに反転に伴って重畳される微分ノイズが、反転イネーブル信号のレベル反転に伴う微分ノイズによって打ち消されるので、本来の画像信号の成分のみが供給される結果、ラインムラの発生を抑えた高品位な表示が可能となる。

【図面の簡単な説明】

【図1】 (a)は、本発明の第1の実施形態に係る電気光学装置の構成を示す斜視図であり、(b)は、(a)のA-A'線の断面図である。

【図2】 同電気光学装置の電気的な構成を示すブロック図である。

【図3】 同電気光学装置における走査線駆動回路の構成を示すブロック図である。

【図4】 同走査線駆動回路の動作を説明するためのタイミングチャートである。

【図5】 同電気光学装置におけるデータ線駆動回路の構成を示すブロック図である。

【図6】 同データ線駆動回路の動作を説明するためのタイミングチャートである。

【図7】 同電気光学装置における微分ノイズの打ち消し動作を説明するためのタイミングチャートである。

【図8】 同電気光学装置における素子基板の配線を示す平面図である。

【図9】 本発明の第2実施形態に係る電気光学装置のデータ線駆動回路の構成を示すブロック図である。

【図10】 本発明の第3実施形態に係る電気光学装置のデータ線駆動回路の構成を示すブロック図である。

【図11】 同電気光学装置の動作を説明するためのタイミングチャートである。

【図12】 実施形態に係る電気光学装置においてシリアルパラレルの変換相数が多数になる場合の素子基板の配線を示す平面図である。

【図13】 実施形態に係る電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す平面図である。

【図14】 同電気光学装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図15】 同電気光学装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

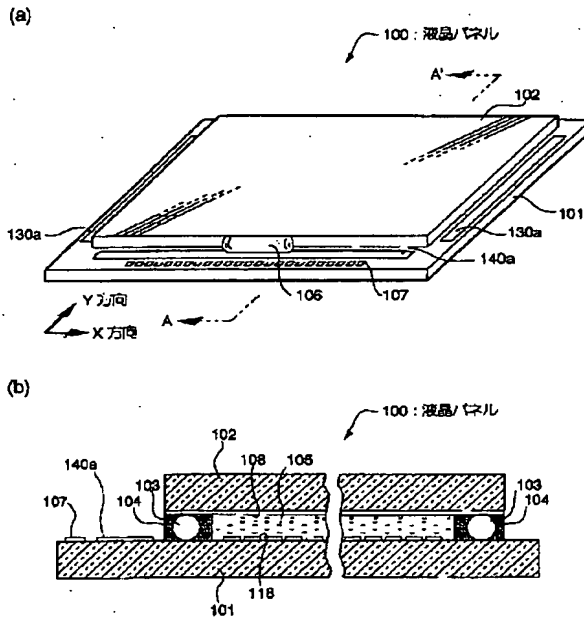
【符号の説明】

100…液晶パネル
101…素子基板
102…対向基板
105…液晶
108…対向基板
112…走査線
114…データ線
116…TFT
118…画素電極
120…周辺回路
122…画像信号線
124…イネーブル信号線
125…反転イネーブル信号線
130…走査線駆動回路
140…データ線駆動回路
150…サンプリング回路
151…サンプリングスイッチ
1440…シフトレジスタ

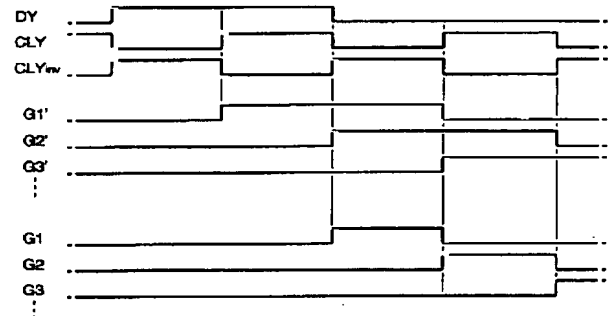
1450…ラッチ回路
 1460…パルス幅制限回路
 1461…NOR回路
 1462…NAND回路
 1472…レベルシフタ

1480…バッファ回路
 2100…プロジェクタ
 2200…パーソナルコンピュータ
 2300…携帯電話

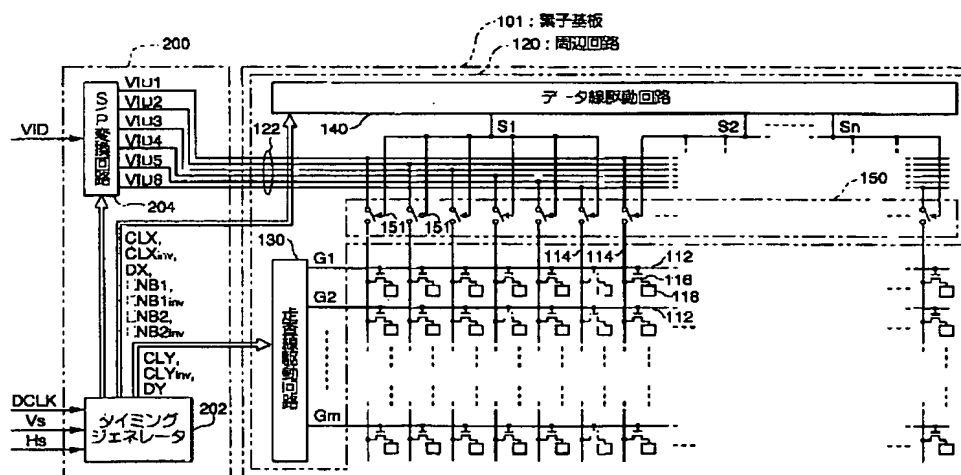
【図1】



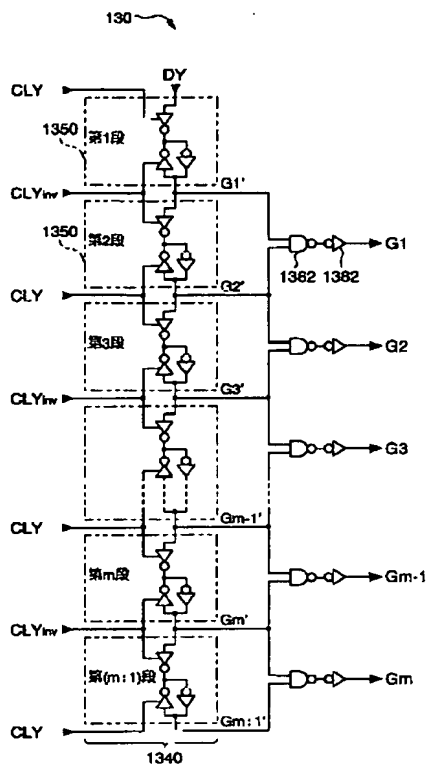
【図4】



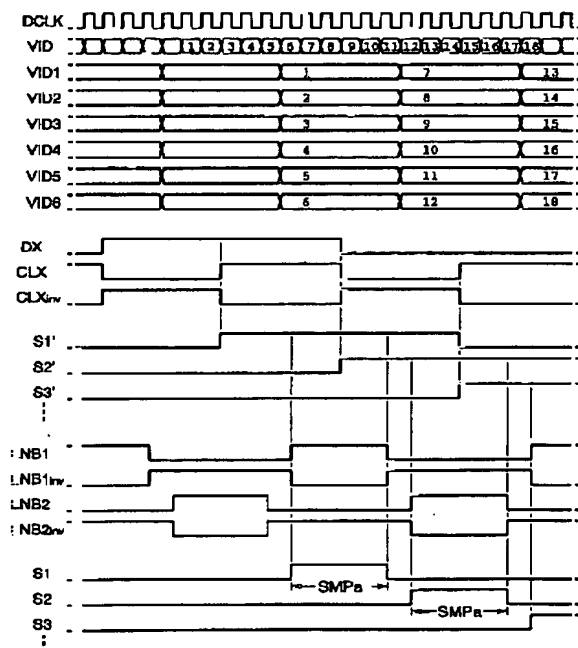
【図2】



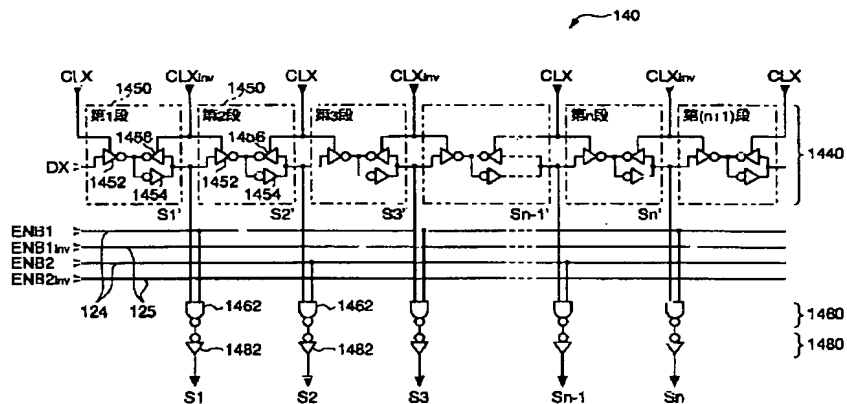
【図3】



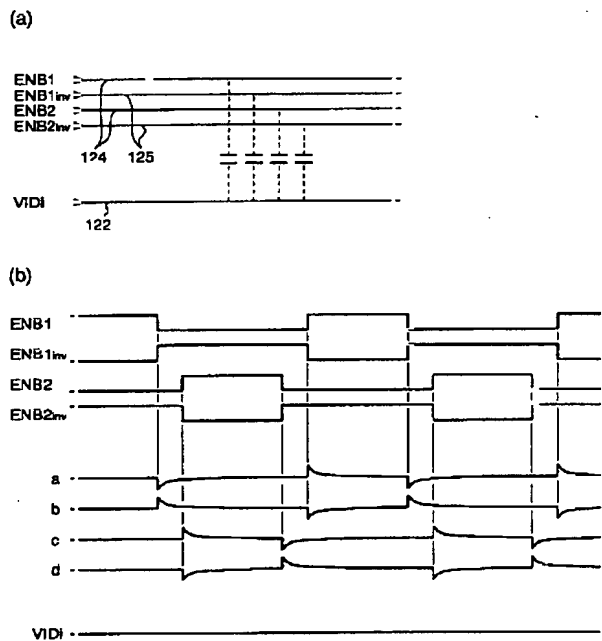
【図6】



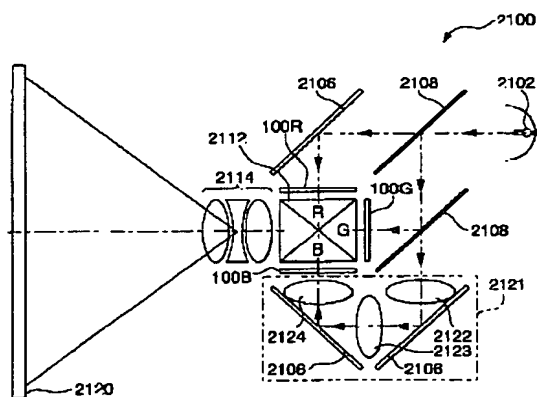
【図5】



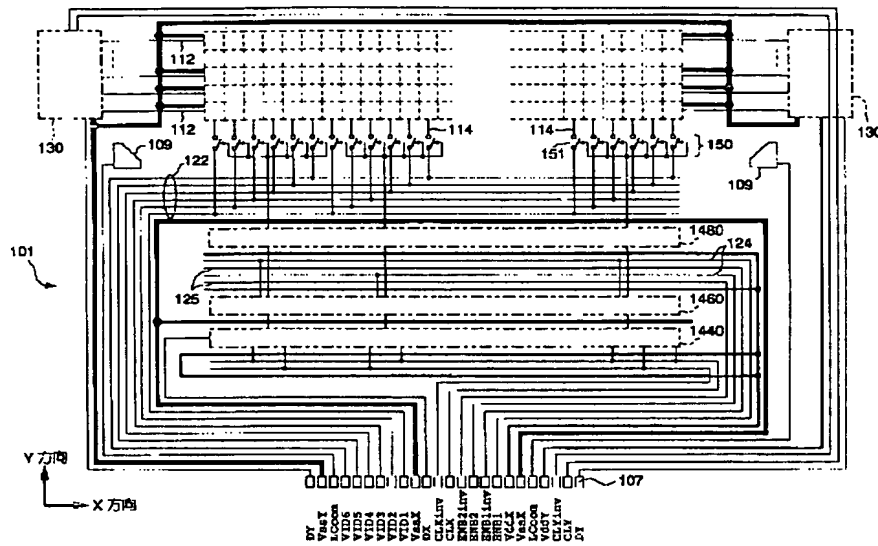
【図7】



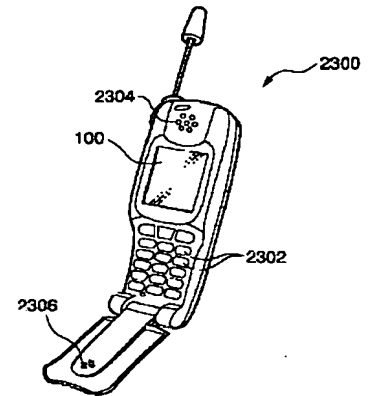
【図13】



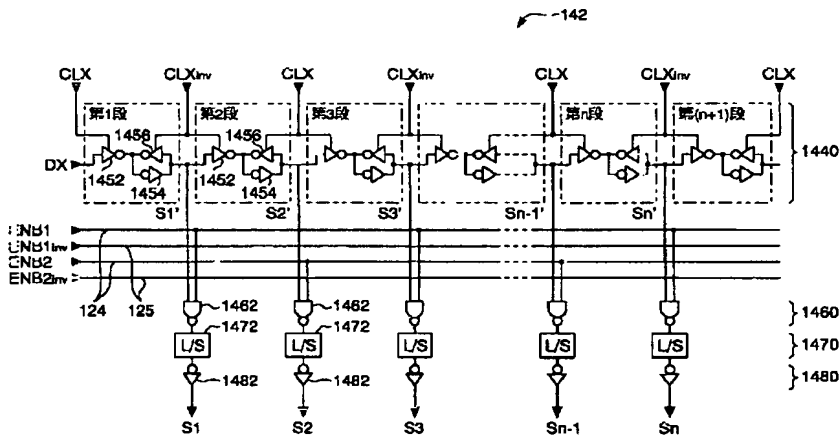
【図8】



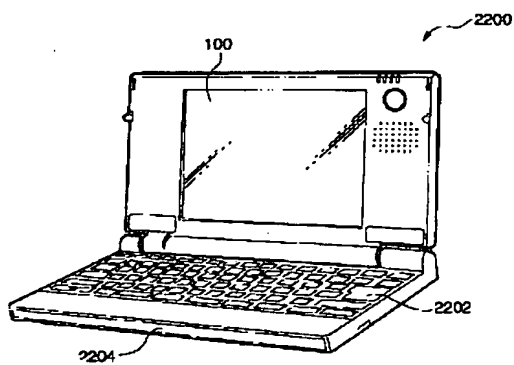
【図15】



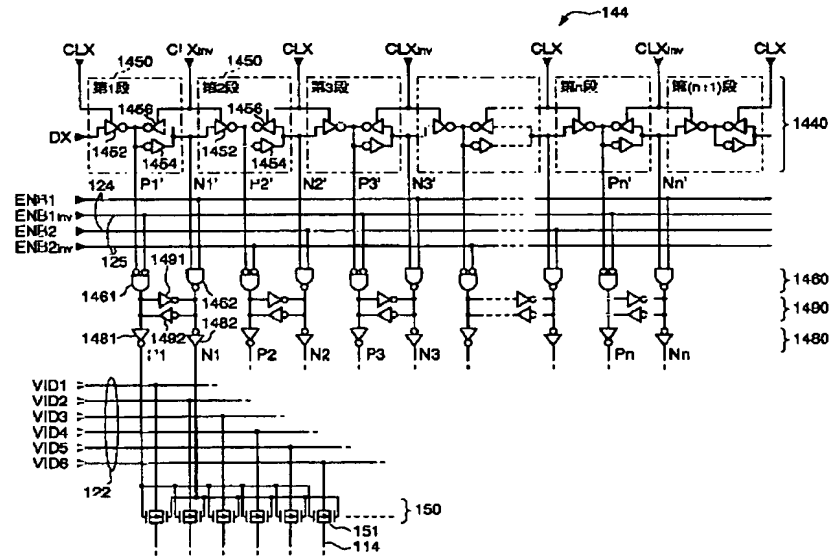
【図9】



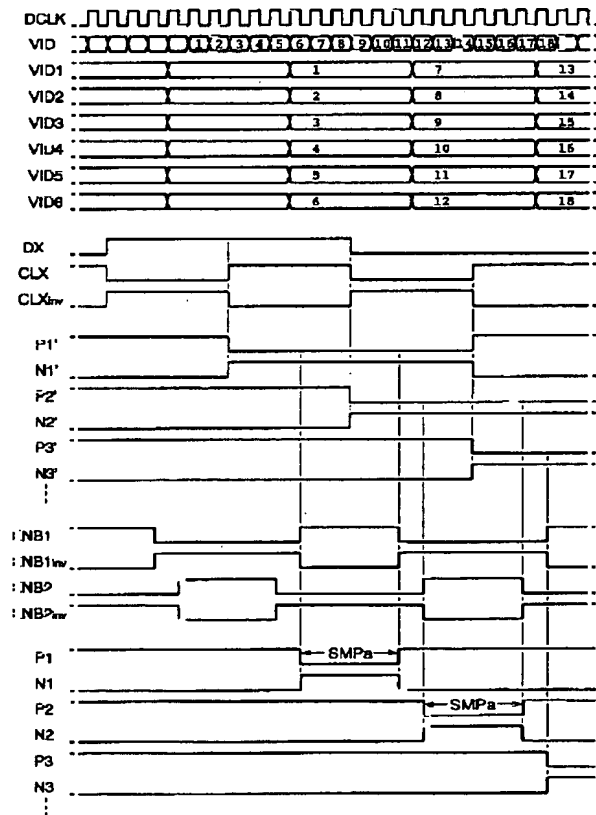
【図 14】



【 10 】



【 11 】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.